



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10322305 A**(43) Date of publication of application: **04.12.98**

(51) Int. Cl.

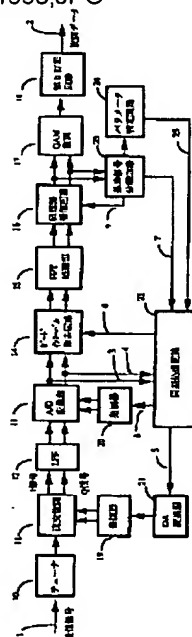
**H04J 11/00**  
**H04L 27/38**
(21) Application number: **09127070**(22) Date of filing: **16.05.97**(71) Applicant: **SHARP CORP**
(72) Inventor: **KAWABE TAKESHI**  
**OGAWA TETSUYA**  
**OI YUJI**
**(54) DEMODULATOR FOR QUADRATURE  
 FREQUENCY DIVISION MULTIPLEX SYSTEM**
**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To shorten the pull-in time of a carrier frequency by demodulating an in-phase signal and a quadrature signal from a selected quadrature modulation wave, converting a digital signal, multiplying a delayed signal by an original signal, adding the output of a multiplier by prescribed time, controlling a gain, generating the timing of a valid symbol and executing discrete Fourier transformation.

**SOLUTION:** A tuner 10 frequency-converts a desired frequency band into an intermediate frequency band. The frequency-converted signal is orthogonally demodulated by a quadrature demodulator 11 and I and Q signals are reproduced. A ground interval removal circuit 14 takes out only the valid symbol part of the digitized signals of the I and Q signals and it is transferred to an FFT processing part 15. A QAM demodulation circuit 17 demodulates data of the respective carriers and an error correction circuit 18 corrects errors and outputs the signal as demodulation data. The guard interval removal circuit 14 separates only the valid symbol with a synchronizing signal 6 from a synchronism processing

circuit 22 as a reference and transfers it to the FET processing part 15.

COPYRIGHT: (C)1998,JPO



**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-322305

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.<sup>6</sup>

H 0 4 J 11/00

H 0 4 L 27/38

識別記号

F I

H 0 4 J 11/00

H 0 4 L 27/00

Z

G

審査請求 未請求 請求項の数7 O L (全 16 頁)

(21)出願番号 特願平9-127070

(22)出願日 平成9年(1997)5月16日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 川辺 武司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 小川 哲也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 大井 祐治

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

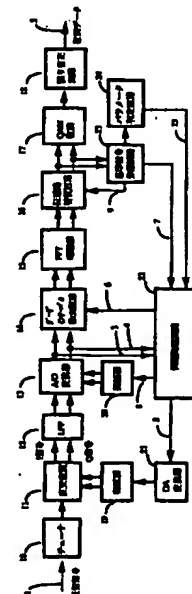
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 直交周波数分割多重方式の復調器

(57)【要約】

【課題】 一般に直交周波数分割多重方式で伝送する信号波形はランダム雑音のような波形であり、シンボル間の区切りの判定は難しい。受信機ではシンボルの位置が正確にわからないと隣接シンボルとの符号間干渉が生じ、復調信号の劣化を生じることになる。

【解決手段】 本発明の処理方式を用いると周波数オフセットが存在しても安定にシンボル同期が検出でき、良好な信号の復調が行えることになる。初期のシンボル同期の引き込みに関しても高速に実行可能となる。キャリア周波数の再生ではI信号とQ信号の自己相関とI-Q信号の相関係数の演算処理により算出される周波数誤差信号と基準信号から計算される周波数誤差信号をそれぞれ独立して遅延加算し、利得を制御することで、高速なキャリア周波数の再生と引き込みが可能となる。



## 【特許請求の範囲】

【請求項1】 互いに直交する複数の搬送波を同時に用いてデータを伝送するデジタル通信方式において、1シンボル期間が有効シンボル期間とガード期間より構成される信号形式を用いて伝送される方式において、その受信信号より希望の周波数を選局する選局手段とその選局された直交変調波より同相信号及び直交信号を復調する直交復調手段を備え、得られたデジタル信号を離散フーリエ変換によりデータを変換するフーリエ変換部を備え、前記同相信号及び直交信号を前記有効シンボル期間時間だけ遅延させる有効シンボル遅延器と前記有効シンボル遅延器により遅延された信号と元の信号のそれぞれの乗算を行う第1乗算器を備え、前記乗算器の出力をガード期間に応じた時間だけ加算する可変サンプル遅延加算器と前記可変サンプル遅延加算器の出力を係数発生器からの信号と乗算する第2乗算器を備え、前記乗算器の出力を所定の時間だけ加算し利得を制御する可変シンボル遅延加算器を備え、前記可変シンボル遅延加算器の信号より有効シンボルのタイミングを生成する波形整形回路を備え、前期波形整形回路の出力信号を元に前記離散フーリエ変換を行うことを特徴とする直交周波数分割多重方式の復調器。

【請求項2】 請求項1の可変サンプル遅延加算手段はサンプル単位の遅延を行うサンプル遅延器を備え、前記サンプル遅延器を複数従属接続し、それぞれの出力を加算する加算器を備え、前期サンプル遅延器動作を外部からのガード信号により制御するイネーブル制御回路を備え、ガードインターバルの期間に応じて加算期間を変更できるようにし、適応的にシンボル同期信号を生成し、この信号を元に請求項1に記載の離散フーリエ変換を行うことを特徴とする請求項1記載の直交周波数分割多重方式の復調器。

【請求項3】 請求項1の可変シンボル遅延加算手段は有効シンボル期間とガード期間を加算した期間だけ遅延する可変シンボル遅延器を備え、入力信号の絶対値をとる絶対値回路を備え、前記シンボル遅延器を複数従属接続し、それぞれの出力を加算する加算器を備え、前記有効シンボルの位置判定状態及び動作開始状態に応じて加算期間を変更できる加算期間制御部を備え、前期加算器の出力を外部からの制御信号により利得を制御する利得制御回路と乗算を行う第3乗算器を備え、前記第3乗算器の出力信号を元に前記離散フーリエ変換を行うことを特徴とする請求項1記載の直交周波数分割多重方式の復調器。

【請求項4】 請求項1に記載の同相信号及び直交信号を有効シンボル期間だけ遅延させる有効シンボル遅延器を備え、前記直交信号及び前記同相信号とそれぞれ乗算を行う第1乗算器を備え、前記第1乗算器により乗算された結果をサンプル遅延加算する可変サンプル遅延加算器を備え、前記可変サンプル遅延加算器より得られた信

号の値を係数発生器からの信号と乗算を行う第2乗算器を備え、請求項1に記載の第2乗算器と前記第2乗算器の出力信号の演算を行う演算処理部を備え、前記演算処理部の出力を所定のタイミングでホールドするホールド回路を備え、ホールド回路出力を所定の期間だけ加算する可変シンボル遅延加算器を備え、可変シンボル遅延加算器の出力を周波数誤差信号として用いて、直交復調用の周波数発振器を制御することを特徴とする請求項1記載の直交周波数分割多重方式の復調器。

10 【請求項5】 請求項4におけるホールド回路出力を所定の期間だけ加算する可変シンボル遅延加算器において、有効シンボル期間とガード期間を加算した期間だけ遅延するシンボル遅延器を備え、前記シンボル遅延器を複数従属接続し、それぞれの出力を加算する加算器を備え、外部からの制御信号にしたがって、シンボル遅延器の動作状態を制御するイネーブル制御回路を備え、前記制御信号に基づいて利得を制御する利得制御回路を備え、前記加算器出力を前記利得制御回路からの信号に基づいて乗算を行う乗算器を備えことを特徴とする請求項4記載の直交周波数分割多重方式の復調器。

20 【請求項6】 請求項1におけるフーリエ変換部の出力より送信時に挿入されている基準信号を分離する基準信号分離回路を備え、送信側と同一の基準信号を発生する基準信号発生器を備え、前記基準信号分離回路より分離された信号と前記基準信号発生器より発生した基準信号の相関をとる相関器を備え、前記相関器の出力信号を加算する可変シンボル遅延加算器を備え、前記可変シンボル遅延加算器の出力により、直交復調用の周波数発振器を制御することを特徴とする請求項1記載の直交周波数分割多重方式の復調器。

30 【請求項7】 請求項4における可変シンボル遅延加算器の出力の周波数誤差信号と、請求項6における可変シンボル遅延加算器の出力の周波数誤差信号を加算する加算器を備え、それぞれの可変シンボル遅延加算器の加算量と利得を別々に制御できる様にし、前記加算器の出力を周波数誤差信号として直交復調用の周波数発振器を制御することを特徴とする請求項4及び請求項6記載の直交周波数分割多重方式の復調器。

## 【発明の詳細な説明】

40 【0001】

【発明の属する技術分野】 本発明は直交周波数分割多重方式を使用した通信システムにおける復調器、特にその方式に関するものである。

【0002】

【従来の技術】 地上波デジタル放送の研究開発が活発に行われているが、MPEG2による画像圧縮技術の進歩によりデジタル化された画像の情報量が大幅に削減され、無線通信で伝送が可能なレベルまで進歩した。

50 【0003】 一般に、これらの圧縮されたデータを伝送する場合、通常5～20Mbps程度の情報伝送レート

が必要となる。これらのデータにデータの誤りを訂正する誤り訂正方式やエラーに対する耐久性を向上させることができる符号化変調方式を用いるとさらに冗長度が増し、より高い伝送レートが要求されることになる。

【0004】これらの情報を制限された帯域内で伝送するためにはより効率の高い伝送方式の開発が必要となる。現在、この解決方法として伝送する情報を多値化したデジタルで伝送することが提案されている。特に将来の地上波デジタル放送実現に向け、米国で6MHzの帯域を用いて8レベルを伝送する8VSB方式が検討され

ている。  
【0005】この8VSB方式は1シンボルで3ビット情報が送れ、6MHzの帯域で10.76Mボーのシンボルレートを有している。この方式は帯域利用効率は高いが、SFN（シングルフリクエンシネットワーク）や移動体受信には適応が難しいという側面を持っている。一方、日本、欧州では直交周波数分割多重方式が検討されている。この方式は複数のキャリアを同時に用いて情報を伝送する方式であり、マルチパスに強くSFN（シングルフリクエンシネットワーク）や移動体受信に適

可能であるという特徴を有している。  
【0006】又、地上放送のような限られた電波環境下では、有効資源の一つである電波を効率的に使用することが重要になりつつあるが、直交周波数分割多重方式はこの観点からデジタル放送時代のデジタル伝送方式として開発されつつある。直交周波数分割多重方式は直交する複数の搬送波を同時に用い情報を伝送する方式であり、この時用いる搬送波数は約1000本から8000本程度である。

【0007】又各々の搬送波は多値QAM等で変調されており、帯域の利用効率が低い方式でもある。従来この技術は欧州におけるデジタル音声ステレオ放送に用いる技術として開発され、特に多数の搬送波を同時に変調する手段として高速フーリエ変換（FFT）を用いて実現が可能であることが分かっており、すでに実用化されつつある。

【0008】例えばこの技術に関しては、Michel Alard, Rpselyne Lassalle「Principle of modulation and channel coding for digital broadcasting for mobile receivers」EBU REVIEW-TECHNICAL1987, pp168-190に詳細に記載されている。OFDMの基本的な原理は以下のとおりである。搬送波周波数を $\{f_k\}$ とすると、

$$f_k = f_0 + k/T_s \quad k=0 \sim N-1$$

基本信号を $\Psi_{j,k}(t)$ とすると、

$$\Psi_{j,k}(t) = g_k(t - jT_s) \quad k=0 \sim N-1, j = -\infty \sim +\infty$$

$$g_k = \exp(2i\pi f_k t) \quad 0 \leq t \leq T_s$$

$$g_k = 0 \quad \text{otherwise}$$

信号 $g_k(t)$ の周波数スペクトルは互いにオーバーラップしている。 $\Psi_{j,k}(t)$ は互いに直交条件を満足している。

【0009】送信したいデータの複素数列为 $\{C_{j,k}\}$ とすると、OFDMの伝送信号 $X(t)$ は次の様に記述できる。

【0010】

【数1】

$$X(t) = \sum_{j=-\infty}^{+\infty} \sum_{k=0}^{N-1} C_{j,k} \Psi_{j,k}(t)$$

【0011】また受信信号は以下の式で復調される。

【0012】

【数2】

$$C_{j,k} = \frac{1}{T_s} \int_{-\infty}^{+\infty} X(t) \Psi_{j,k}^*(t) dt$$

【0013】上記信号を伝送路で伝送した場合、伝送路に起因する歪やマルチパスにより、直交性は損傷を受け乱される、このため受信された信号の復調信号に符号間干渉を生じることとなり、誤りを増加する結果となる。この問題の一つの解決策として送信エネルギーの一部を犠牲にして、各信号 $\Psi_{j,k}(t)$ の前に符号間干渉を吸収するためのガードインターバルを設ける方法が提案されている。

【0014】この時、送信信号のシンボル期間は次式で記述される。

$$T' = T_s + \Delta$$

ここで、 $T_s$ は有効シンボル期間、 $\Delta$ はガードインターバル期間であり、有効信号を $\Psi_{j,k}(t)$ とすると、 $\Psi_{j,k}(t) = g_k(t - jT')$

この時送信信号は

$$\Psi'_{j,k}(t) = g'_k(t - jT')$$

$$g'_k = \exp(2i\pi f_k t) \quad -\Delta \leq t < T_s$$

$$g'_k = 0 \quad \text{otherwise}$$

この時、OFDMの伝送信号 $X(t)$ は次の様に記述できる。

【0016】

【数3】

$$X(t) = \sum_{j=-\infty}^{+\infty} \sum_{k=0}^{N-1} C_{j,k} \cdot \Psi'_{j,k}(t)$$

【0017】また受信信号は以下の式で復調される。

【0018】

【数4】

$$C_{j,k} = \frac{1}{T_c} \int_{-\infty}^{+\infty} X(t) \cdot \Psi_{j,k}^*(t) dt$$

【0019】ガードインターバルは本来伝送したい有効なシンボルの前に緩衝データ部分として無効なシンボルを付加することで、チャンネル間干渉やシンボル間干渉を生じることを防ぐことができ、デジタル伝送において品質の高い情報を送ることができる。この時、付加する無効なシンボルは有効シンボルの一部を用い、全体の数十分の1から数分の1の期間にあたる。

【0020】このようにして生成された伝送する信号波形はランダム雑音のような形態を持っており、シンボル間の区切りはわからない。シンボルの位置が正確にわからないと隣接シンボルとの符号間干渉が生じ、復調信号の劣化を生じることになる。このため従来は一部のシンボルを犠牲にしてヌルシンボル信号をシンボル同期のために用いていた。図10は従来の伝送信号のフレーム構成を示す図である。各シンボルガードインターバル151と有効シンボル152をたしあわせた構成になっており、たしあわされたシンボルを複数個集め1フレームとし、その先頭にヌルシンボル150を挿入した構成ととる。

【0021】この方式では伝送できる情報量が減少してしまうという欠点があり、効率的な情報伝送が行えない。これを解決する手段として上記ガード期間と有効シンボル期間の一部の相関係数を計算し、シンボル同期を検出する方法が提案されている（特開平7-143097：OFDM同期復調回路）。

【0022】又、直交周波数分割多重方式で伝送する信号波形はマルチキャリア伝送であるため、限られた帯域の中で（6MHz～9MHz）、多数のキャリア（500～8000本程度）をたてると、各キャリアの周波数間隔は1KHz～10KHz程度と非常に狭くなってしまふ。

【0023】このため送信側の周波数と受信側の周波数の間にずれがあると、復調信号の品質が大きく劣化する。以上の理由により、直交周波数分割多重方式では受信機側でキャリア周波数を正確に再生する必要がある。従来のキャリア周波数の再生に関しては送信側で基準信号を各シンボルの所定の位置に割り当て、規定された信号を挿入しており、受信側ではこれを元にしてキャリア周波数を再生する方式が取られていた。

【0024】この方式を用いると基準信号が妨害を受けるとキャリア再生ができなくなり、復調された受信信号は大きく劣化する。またガードインターバルと有効シンボルの相関係数を用いてI信号の自己相関係数とI-Q信号の相関係数を演算処理し、周波数誤差を算出する。この誤差信号を元にしてキャリアを再生する方式が提案されている（特開平7-143097：OFDM同期復 50

調回路)。

【0025】

【発明が解決しようとする課題】 一般に直交周波数分割多重方式で伝送する信号波形はランダム雑音のような波形であり、シンボル間の区切りの判定は難しい。受信機ではシンボルの位置が正確にわからないと隣接シンボルとの符号間干渉が生じ、復調信号の劣化を生じることになる。

【0026】このため従来は一部のシンボルを犠牲にしてマルチンボル信号をシンボル同期のために挿入していた。しかしこの方式では伝送できる情報量が減少してしまうという欠点があった。これを解決する手段として上記ガード期間と有効シンボル期間の一部の相関係数を計算し、シンボル同期を検出する方法が提案されている。この提案では相関係数を計算すると、周期的に大きな相関がえられることを利用して、このピークのタイミングがシンボルの切れ目と判定する。

【0027】このタイミングを基準にフライホイールタイミング回路により雑音や疑似的な相関のピークを除去することができる。しかしこの方法では周波数オフセットが存在すると相関係数の出力にピークが得られない場合がある。この場合シンボル同期がとれなくなり、隣接シンボルとの符号間干渉が発生してしまい、復調信号の特性が劣化してしまう。

【0028】又、初期のシンボル同期の引き込み時間において相関係数にピークが現われないために、引き込み時間がかかる問題点を有している。従来提案されているキャリア周波数を再生する方式では、キャリア周波数の引き込み時間が大きくなってしまう欠点があった。

【0029】

【課題を解決するための手段】

(1) 互いに直交する複数の搬送波を同時に用いてデータを伝送するデジタル通信方式において、1シンボル期間が有効シンボル期間とガード期間より構成される信号形式を用いて伝送される方式において、その受信信号より希望の周波数を選局する選局手段とその選局された直交変調波より同相信号及び直交信号を復調する直交復調手段を備え、得られたデジタル信号を離散フーリエ変換によりデータを変換するフーリエ変換部を備え、前記同相信号及び直交信号を前記有効シンボル期間時間だけ遅延させる有効シンボル遅延器と前記有効シンボル遅延器により遅延された信号と元の信号のそれぞれの乗算を行う第1乗算器を備え、前記乗算器の出力をガード期間に応じた時間だけ加算する可変サンプル遅延加算器と前記可変サンプル遅延加算器の出力を係数発生器からの信号と乗算する第2乗算器を備え、前記乗算器の出力を所定の時間だけ加算し利得を制御する可変シンボル遅延加算器を備え、前記可変シンボル遅延加算器の信号より有効シンボルのタイミングを生成する波形整形回路を備え、前期波形整形回路の出力信号を元に前記離散フーリエ変換

換を行うことを特徴とする直交周波数分割多重方式の復調器。

【0030】(2)(1)の可変サンプル遅延加算手段はサンプル単位の遅延を行うサンプル遅延器を備え、前記サンプル遅延器を複数個従属接続し、それぞれの出力を加算する加算器を備え、前期サンプル遅延器動作を外部からのガード信号により制御するイネーブル制御回路を備え、ガードインターバルの期間に応じて加算期間を変更できるようにし、適応的にシンボル同期信号を生成し、この信号を元に請求項1に記載の離散フーリエ変換を行うことを特徴とする直交周波数分割多重方式の復調器。

【0031】(3)(1)の可変シンボル遅延加算手段は有効シンボル期間とガード期間を加算した期間だけ遅延する可変シンボル遅延器を備え、入力信号の絶対値をとる絶対値回路を備え、前記シンボル遅延器を複数従属接続し、それぞれの出力を加算する加算器を備え、前記有効シンボルの位置判定状態及び動作開始状態に応じて加算期間を変更できる加算期間制御部を備え、前期加算器の出力を外部からの制御信号により利得を制御する利得制御回路と乗算を行う第3乗算器を備え、前記第3乗算器の出力信号を元に前記離散フーリエ変換を行うことを特徴とする直交周波数分割多重方式の復調器。

【0032】(4)(1)に記載の同相信号及び直交信号を有効シンボル期間だけ遅延させる有効シンボル遅延器を備え、前記直交信号及び前記同相信号とそれぞれ乗算を行う第1乗算器を備え、前記第1乗算器により乗算された結果をサンプル遅延加算する可変サンプル遅延加算器を備え、前記可変サンプル遅延加算器より得られた信号の値を係数発生器からの信号と乗算を行う第2乗算器を備え、請求項1に記載の第2乗算器と前記第2乗算器の出力信号の演算を行う演算処理部を備え、前記演算処理部の出力を所定のタイミングでホールドするホールド回路を備え、ホールド回路出力を所定の期間だけ加算する可変シンボル遅延加算器を備え、可変シンボル遅延加算器の出力を周波数誤差信号として用いて、直交復調用の周波数発振器を制御することを特徴とする直交周波数分割多重方式の復調器。

【0033】(5)(4)におけるホールド回路出力を所定の期間だけ加算する可変シンボル遅延加算器において、有効シンボル期間とガード期間を加算した期間だけ遅延するシンボル遅延器を備え、前記シンボル遅延器を複数従属接続し、それぞれの出力を加算する加算器を備え、外部からの制御信号にしたがって、シンボル遅延器の動作状態を制御するイネーブル制御回路を備え、前記制御信号に基づいて利得を制御する利得制御回路を備え、前記加算器出力を前記利得制御回路からの信号に基づいて乗算を行う乗算器を備えことを特徴とする直交周波数分割多重方式の復調器。

【0034】(6)(1)におけるフーリエ変換部の出

力より送信時に挿入されている基準信号を分離する基準信号分離回路を備え、送信側と同一の基準信号を発生する基準信号発生器を備え、前記基準信号分離回路より分離された信号と前記基準信号発生器より発生した基準信号の相関をとる相関器を備え、前記相関器の出力信号を加算する可変シンボル遅延加算器を備え、前記可変シンボル遅延加算器の出力により、直交復調用の周波数発振器を制御することを特徴とする直交周波数分割多重方式の復調器。

10 【0035】(7)(4)における可変シンボル遅延加算器の出力の周波数誤差信号と、(6)における可変シンボル遅延加算器の出力の周波数誤差信号を加算する加算器を備え、それぞれの可変シンボル遅延加算器の加算量と利得を別々に制御できる様にし、前記加算器の出力を周波数誤差信号として直交復調用の周波数発振器を制御することを特徴とする直交周波数分割多重方式の復調器。

20 【0036】本発明の処理方式を用いると周波数オフセットが存在しても安定にシンボル同期が検出でき、良好な信号の復調が行えることになる。初期のシンボル同期の引き込みに関しても高速に実行可能となる。キャリア周波数の再生ではI信号とQ信号の自己相関とI-Q信号の相関係数の演算処理により算出される周波数誤差信号と基準信号から計算される周波数誤差信号をそれぞれ独立して遅延加算し、利得を制御することで、高速なキャリア周波数の再生と引き込みが可能となる。

【0037】

【発明の実施の形態】

1 : シンボル同期 : 以下この発明に関する一実施の形態を図1を用いて説明する。図1は本発明の受信機の1実施の形態のブロック図である。受信された信号は入力信号端子1より入力され、チューナ10により希望する周波数帯域を選択し、中間周波数帯へ周波数変換する。周波数変換された信号は直交復調機11により直交復調されI信号及びQ信号を再生する(ベースバンド信号)。

30 【0038】得られたベースバンド信号はローパスフィルタ12を通して、AD変換器23によりデジタル信号に変換される。I信号及びQ信号のデジタル化された信号はガードインターバル除去回路14により有効シンボル部分のみを取り出し、取り出された有効シンボルだけが後段のFFT処理部15に渡される。有効シンボル信号はFFT処理部15で時間領域の信号から周波数領域の信号に変換する。

40 【0039】変換された信号は伝送路補償回路16により伝送路で受けた歪を補正し、後段のQAM復調回路17へわたす。QAM復調回路17では各キャリアのデータを復調しする。復調された信号は誤り訂正回路18により誤り訂正を行い復調データとして出力される。

50 【0040】ここで送信信号の構成を図8を用いて説明する。図8は送信信号の1シンボル分を示している。1

シンボル期間90はガードインターバル91と有効シンボル期間92をたしあわせたものである。ガードインターバル信号94は有効シンボル信号93の後ろの一部の信号95を用いて構成したものである。

【0041】この関係を図6を用いて説明する。図9は図8と同一の第L番目の伝送シンボル101の構成を示している。伝送シンボル101はガードインターバル102と有効シンボル103により構成されており、有効シンボル103のなかの伝送データ100a~100gはN個のデータが含まれている。

【0042】ガードインターバル102の中のガードインターバル信号100h~100jはN個のデータが含まれている。r-Ngはガードインターバル信号の先頭のデータ100hでありこれは有効シンボル信号100eのrN-Ng信号と同一の信号を用いる。同様にデータ100iはデータ100fに等しく、データ100jはデータ100gに等しくする。

【0043】このようにして送信シンボル101を構成すると、受信側では受信された信号の有効シンボル期間103を窓により切り出し、この部分だけを図1におけるFFT処理部15によりFFT処理すれば信号が再生できることになる。

【0044】このとき送信された信号が伝送路においてマルチパスによる損傷を受けたとしても、ガードインターバルの時間よりマルチパスの最大遅延量が小さければ、前記の処理によりデータを復調できる。

【0045】しかしガードインターバルをあまり長くすると全送信データ量に対する有効データ量が小さくなってしまい、データの伝送効率が悪くなってしまう。

【0046】以上のことより、OFDM伝送方式では有効シンボル信号だけをFFT処理部15により時間領域の信号から周波数領域の信号へ変換することでデータが再生できる。このためには有効シンボル期間を正確に抽出する必要がある。

【0047】図1において、ガードインターバル除去回路14は同期処理回路22からの同期信号6を基準に有効シンボルだけを分離し、後段のFFT処理部15へ渡す。パラメータ判定回路24は送信側で付加された変調パラメータに関する情報を抽出し、送信パラメータ信号25として同期処理回路22にわたし、同期処理回路22では送信パラメータに応じて周波数同期、シンボル同期の誤差信号生成方法を適応的に可変する。

【0048】ここで同期信号6の生成方法を図2のブロック図により説明する。図2は本発明の前記同期処理回路22の中のシンボル同期信号生成を行っているブロッ

FFTのポイント数: 2048

ガードインターバル: 64、128、256、512 (ポイント)

比率: 1/32、1/16、1/8、1/4

が用いられた場合、図4のサンプル遅延器70は最大512個のサンプル遅延器を持つことになる。実際は、マ

\*クの構成を示す図である。

【0049】前記A/D変換器によりデジタル化された信号3、4はI信号入力60、Q信号入力61として入力される。I信号入力60はI信号自己相関器30へ、Q信号入力61はQ信号自己相関器31へ、それぞれ入力され処理される。I信号入力60は有効シンボル期間にあたるポイント数だけ遅延器33により遅延し、元の信号と乗算器36により乗算する。得られた結果は可変遅延加算器39によりガード制御信号63に基づいて加算される。

【0050】加算された信号は後段の乗算器42により係数発生器45からの係数を乗算する。この係数はガード制御信号63に基づいて適当な値をセットし、適応的に可変することができる。このようにして生成された信号は可変遅延加算器48により加算される。このとき制御信号65により加算データ数を変更することができ、受信状態に応じて最適加算数を設定する。同様にQ信号入力61に対しても同じ処理が施される。これらの信号を加算器51により加算し得られた信号を波形整形回路52により波形整形することでシンボル同期信号を生成する。

【0051】たとえば使用されるパラメータとしてFFTのポイント数: 2048 (ポイント)

ガードインターバル: 128 (ポイント) (1/16)

が用いられた場合、図2の遅延器33は2048サンプルの遅延を行い、乗算器36、37により元の信号との乗算が行われることになる。

【0052】2: シンボル同期: 図4は図2および図3に示されている可変サンプル遅延加算器39、40、41の構成を示す図である。単位遅延器70a~70nがN個従属接続されており、それぞれの単位遅延器70a~70nの出力を加算する加算器71と単位遅延器70a~70nが動作するかどうかを制御するイネーブル制御回路72により構成されている。

【0053】図2及び図3の乗算器36、37、38の出力が可変遅延器39、40、41に入力され単位遅延器70a...に順番に入力される。イネーブル制御回路72はガード信号75に応じて単位遅延の動作範囲を制限する。例えばガードインターバル期間が64点であれば単位遅延量は64個以下しか動作しないようにセットされる。これらの信号を加算し相関出力74を生成する。

【0054】たとえば伝送パラメータとして

(ポイント)

マルチパス等の影響を避けたために、この半分程度を目安として、256個程度の遅延器を内蔵すればよい。

【0055】つまり伝送状態を示すパラメータがガードインターバルを64ポイントで送信していたとすると、遅延器70は先頭から64個だけ動作させることになる。実際は上記の理由により32個程度で良い。

【0056】3：シンボル同期：図5は図2に示されている可変サンプル遅延加算器48、49の構成を示す図である。入力信号84は信号の大きさ成分だけを抽出するために、絶対値回路80へ入力され、その出力は従属接続されたシンボル遅延回路81へ入力される。この入

FFTのポイント数：2048 (ポイント)  
 ガードインターバル：64、128、256、512 (ポイント)  
 比率：1/32、1/16、1/8、1/4

が用いられた場合、図5のシンボル遅延器81は最大2048+512個のシンボル遅延を行うことになる。

【0058】実際は、ガードインターバルの大きさに依存して変更することになる。つまり伝送状態を示すパラメータがガードインターバルを64ポイントで送信していたとすると、シンボル遅延器81は2112サンプル遅延を行うことになる。またこのサンプル遅延器81を複数個使用し加算平均を取ることでノイズによる影響小さくできる。同時に周波数誤差が存在するときでも安定に同期信号を再生することができる。

【0059】たとえばここでは4個使用すると、引き込み時は2個のサンプル遅延器のみを動作させ、引き込みが完了したらすべてを動作させ、同期検出の安定化をはかる。このとき加算により信号量が増大してしまうので、利得制御回路87により2個使用時は信号を1/2倍し、4個使用時は1/4倍する。図11は本発明において、同期信号を検出した場合の波形示している。

【0060】図11はFFTのポイント数：2048、ガードインターバル数：128ポイントである。遅延加算数は8である。図11(a)はOFDM信号の伝送波形を示しており、周波数誤差が送信側と受信側で存在するとき、図11(b)に示すように相関信号において同期信号の検出が欠けている。本発明によると図11

(c)に示すように同期信号が安定に検出できることが分かる。

【0061】4：周波数同期：図1において、直交復調部11は発振器19から出力されたサイン波とコサイン波と入力信号との乗算を行い、I信号、Q信号を復調し出力する。発振器19は同期処理回路22により検出された周波数誤差信号5をDA変換器21を通して発振周波数を制御する。

【0062】同期処理回路はA/D変換器13の出力信号3、4と基準信号分離回路23より分離されたリファレンス信号7より周波数誤差信号を発生する。A/D変換器13は電圧制御型発振器20からのクロック信号に※

FFTのポイント数：2048 (ポイント)  
 ガードインターバル：64、128、256、512 (ポイント)  
 比率：1/32、1/16、1/8、1/4

\*力された信号は順番に先頭のシンボル遅延回路81aから81b、81c、81d、... 81nへ通され、それぞれの出力が加算器82により加算される。加算された信号は乗算器88により利得制御回路87からの信号と乗算される。利得制御回路87は外部からの制御信号86に基づいて最適値を発生する。乗算器88の出力は出力信号85として出力される。

【0057】たとえば伝送パラメータとして

※より直交復調器により復調された同相信号及び直交信号をデジタル信号に変換する。

【0063】電圧制御型発振器20は同期処理回路22からの制御信号8により制御される。相互相関器32へはI信号入力60とQ信号入力61を遅延器35により有効シンボル期間遅延させた信号を乗算器38により乗算し、得られた信号を可変遅延加算器41により遅延加算を行う。このときガード信号63により遅延加算の範囲を変化させることが可能でな構成となっており、得られた信号は後段の乗算器44により係数発生器47により生成した信号を乗算する。

【0064】このとき係数発生器もガード信号発生器63により連動して可変できる構成となっている。自己相関器30で生成したI信号の信号と相互相関器32により生成した信号を演算処理部50によりアークタンジェントを求め、ホールド回路53により1シンボル期間データを保持する。この信号を可変遅延加算器54により制御信号66に基づいて遅延加算処理を行う。このようにして得られた信号を周波数誤差信号として出力する。

【0065】図3ではI信号入力を基準に周波数誤差信号を生成しているが、Q信号入力をを用いても同様の誤差信号が得られる。また両方の信号を用いても同様の効果は得られる。

【0066】5：周波数同期：図6は図3に示されている可変サンプル遅延加算器54の構成を示す図である。入力信号84は従属接続されたシンボル遅延回路81へ入力される。この入力された信号は順番に先頭のシンボル遅延回路81aから81b、81c、81

d、... 81nへ通され、それぞれの出力が加算器82により加算される。加算された信号は乗算器88により利得制御回路87からの信号と乗算される。利得制御回路87は外部からの制御信号86に基づいて適応的に発生する係数を変化させる。乗算器88の出力は出力信号85として出力される。

【0067】たとえば伝送パラメータとして

が用いられた場合、図6のシンボル遅延器81は最大2048+512個のシンボル遅延を行うことになる。

【0068】実際は、ガードインターバルの大きさに依存して変更することになる。つまり伝送状態を示すパラメータがガードインターバルを64ポイントで送信していたとすると、シンボル遅延器81は2112サンプルの遅延を行うことになる。またこのシンボル遅延器81を複数個使用し加算平均を取ることでノイズによる影響小さくできる。

【0069】たとえばここでは4個のシンボル遅延器81を使用すると、その動作状態に応じて、引き込み時は4個のサンプル遅延器を動作させ、利得制御回路により利得を大きくする。初期引き込みが完了したら2個のシンボル遅延器のみ動作させ、ゲインを初期引き込みに比べ安定性を増すために小さくする。最終的に周波数誤差をトラッキングするために、シンボル遅延器の動作は1個セットし、利得をさらに小さくするように制御する。このようにして周波数誤差に対する周波数引き込みを安定に高速に行うことができ、さらに安定にトラッキングできる。

【0070】6：周波数同期：図7は基準信号による周波数誤差信号を生成するブロック図を示している。図1において、FFT処理部15の出力を伝送路補償回路16により伝送路ひずみを補償した後、得られた信号を基準信号分離回路122に通し、基準信号を分離する。このとき基準信号は送信側であらかじめ所定の位置に決められた信号が挿入されており、受信機側では挿入された規則したがって基準信号を分離する。分離された基準信号は相関器124により基準信号発生器123から生成された基準信号と相関を取る。このとき基準信号発生器123は外部の基準同期信号を元にして基準信号を発生する。

【0071】図12は本発明による相関器の一実施の形態を示すブロック図である。入力信号130は選択回路134に入力され、定数発生器133からの信号との間で選択される。選択は基準信号選択制御信号生成回路141により選択される。基準信号選択制御信号生成回路141は基準信号開始信号131を元にして基準信号の位置を計算し選択回路134を動作させ、基準信号を135の遅延回路にわたす。

【0072】ここでは定数発生器133より出される信号は"0"を発生している。選択回路134を通過した信号は遅延器135a~135nへ入力され、それぞれの出力に136の乗算器136により基準係数発生器139より発生した係数C1~Cnを乗算する。それぞれの乗算器136の出力は加算器138により加算され、相関出力信号132として出力される。遅延器135a~135nは基準信号選択制御信号生成回路141からの信号に基づいて動作を制御し、基準信号が検出されたときだけ遅延器135a~135nを動作させるように

する。

【0073】相関器124の出力は加算器125によりI信号及びQ信号の加算または減算行い可変遅延加算器126へわたす。可変遅延加算器126は外部の制御信号により加算量及び利得を制御する。

【0074】可変遅延加算器126は図4の可変サンプル遅延加算器と同一の構造をしており、入力された信号73はサンプル遅延器70が複数個従属接続された処理部に入力され、順番に信号が送られる。それぞれのサンプル遅延器70の出力の加算を加算部71により行い出力信号とする。この周波数誤差信号を用いて、図1におけるDA変換部21を通して、発振器19を制御し、キャリア同期を行う。

【0075】7：周波数同期：図3における周波数誤差信号67の出力は可変シンボル遅延加算器54によりその加算範囲を外部からの制御信号66に変更可能である。

【0076】図7において可変遅延加算器126の出力は乗算器120により利得制御器121の係数と乗算を行う。可変遅延加算器126は外部の制御信号117からの信号より加算範囲を変更可能である。乗算器120の出力は後段の加算器127により図3の周波数誤差信号67と加算される。加算器127からの出力は周波数誤差信号114として出力される。

【0077】本発明におけるシンボル同期検出も同様の効果は得られる。また本発明は上記実施の形態に限定されるものではなく、本発明の要旨を逸脱しない限り、変形して実施することが可能である。

【0078】

【発明の効果】以上説明したように本発明によれば、有効シンボルの抽出が良好に行え、複雑なマルチパス環境であっても、チャンネル間干渉、シンボル間干渉を生じることなく、良好なデータの受信が可能である。

【0079】また、送信側、受信側における周波数誤差を良好に検出でき、この信号を元に制御することでキャリア同期が高速に行える。

【0080】また伝送パラメータが送信側で変更されても受信側でそのパラメータを検出し、本発明における方式を用いることで適応的に対応できる。

【0081】移動受信時のような複雑な電波環境であっても、良好なデータの再生が可能となり、高品質の映像、音声、データの再生が行える。

【図面の簡単な説明】

【図1】本発明の一実施の形態を含む受信側の信号処理システムを示すブロック図である。

【図2】本発明の一実施の形態のシンボル同期信号を発生するブロックを示すブロック図である。

【図3】本発明の一実施の形態の周波数誤差信号を発生するブロックを示すブロック図である。

【図4】本発明の可変サンプル遅延加算器を示すブロッ

ク図である。

【図5】本発明の可変シンボル遅延加算器を示すブロック図である。

【図6】本発明の周波数誤差検出用の可変シンボル遅延加算器を示すブロック図である。

【図7】本発明の周波数誤差生成部を示すブロック図である。

【図8】通常の伝送信号のシンボルを示す図である。

【図9】通常の伝送信号のシンボル内のデータを示す図である。

【図10】従来のフレーム構成を示す図である。

【図11】シンボル同期検出波形を示す図である。

【図12】本発明の一実施の形態の相関器を示すブロック図である。

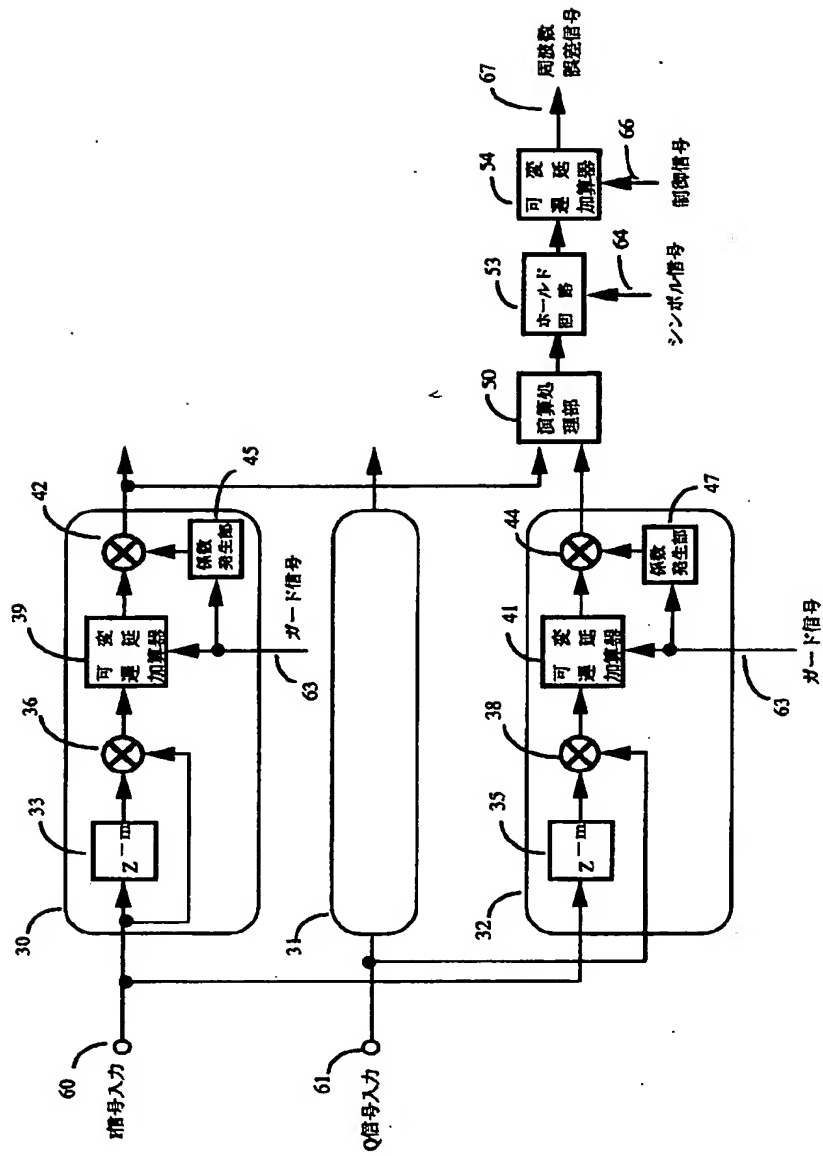
【符号の説明】

- 1 受信信号入力端子
- 2 復調データ出力端子
- 3 直交復調I信号
- 4 直交復調Q信号
- 5 周波数誤差信号
- 6 有効シンボル基準信号
- 10 チューナ7
- 11 直交復調部
- 13 AD変換部
- 14 ガードインターバル除去部
- 15 FFT処理部
- 16 伝送路補償回路
- 17 QAM復調部
- 18 誤り訂正部
- 19、20 電圧制御発振器
- 21 DA変換器
- 22 同期処理回路
- 23 基準信号分離回路
- 24 パラメータ判定回路
- 30、31、32 相関係数演算部
- 33、34、35 シンボル遅延器
- 36、37、38 乗算器
- 39、40、41 可変サンプル遅延加算器
- 42、43、44 乗算器
- 45、46、47 係数発生部
- 48、49 可変シンボル遅延加算器
- 50 演算処理部
- 51 加算器
- 52 波形整形回路
- 53 ホールド回路
- 54 可変シンボル遅延加算器
- 60 I信号入力
- 61 Q信号入力
- 62 シンボル同期信号
- 63 ガード信号

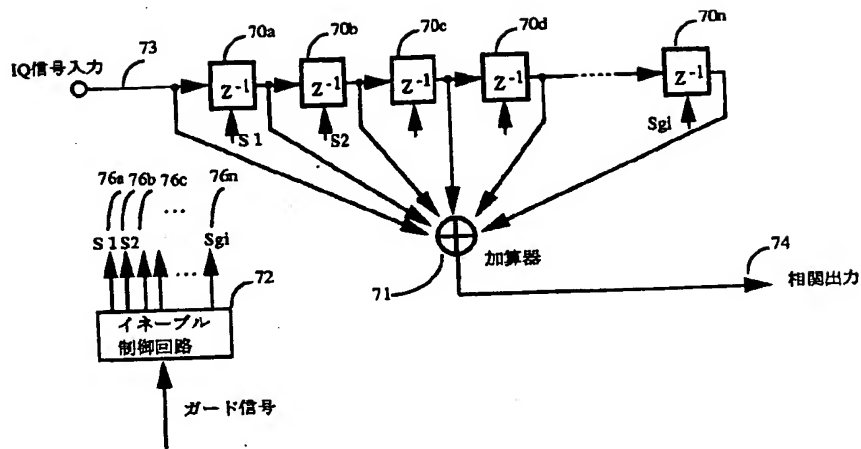
- 64 シンボル信号
- 65 制御信号
- 66 制御信号
- 67 周波数誤差信号
- 70 サンプル遅延器
- 71 加算器
- 72 イネーブル制御回路
- 73 I/Q信号入力
- 74 相関出力
- 10 75 ガード信号
- 76 イネーブル制御信号
- 77 I/Q信号入力
- 80 絶対値回路
- 81 サンプル遅延器
- 82 加算器
- 83 イネーブル制御回路
- 84 信号入力端子
- 85 信号出力端子
- 86 制御信号入力端子
- 20 87 利得制御回路
- 88 乗算器
- 89 イネーブル制御信号
- 90 伝送シンボル
- 91 ガード期間
- 92 有効シンボル期間
- 93 有効シンボル
- 94 ガードインターバル信号
- 95 ガードインターバルと同一の情報
- 100 送信データサンプル列
- 30 101 L番目の伝送シンボル
- 102 ガードインターバル
- 103 有効シンボル
- 110 I信号入力
- 111 Q信号入力
- 112 I信号出力
- 113 Q信号出力
- 114 周波数誤差信号出力
- 115 周波数誤差信号入力
- 116 基準同期信号
- 40 117 制御信号
- 120 乗算器
- 121 利得制御器
- 123 基準信号発生器
- 124 相関器
- 125 加算器/減算器
- 126 可変遅延加算器
- 127 加算器
- 150 ヌルシンボル
- 151 ガードインターバル
- 50 152 有効シンボル



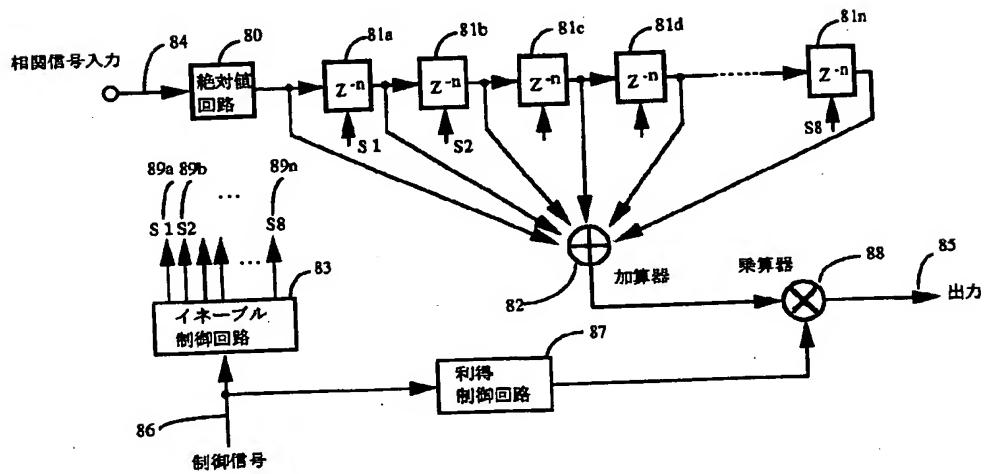
【図3】



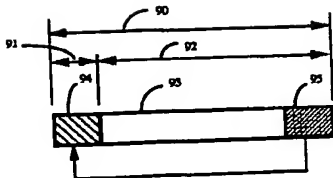
【図4】



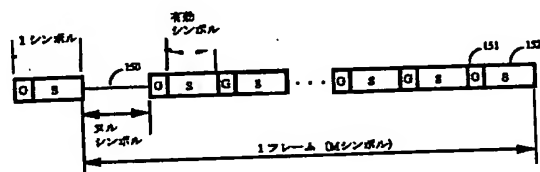
【図5】



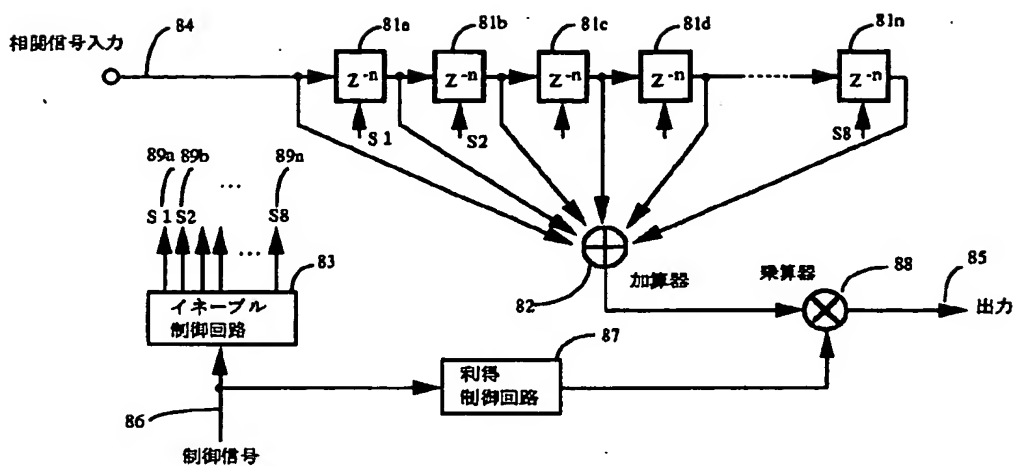
【図8】



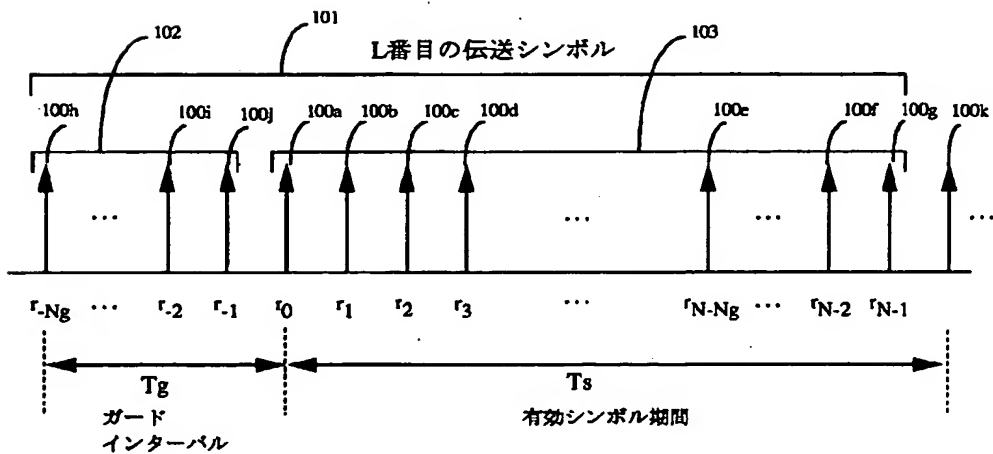
【図10】



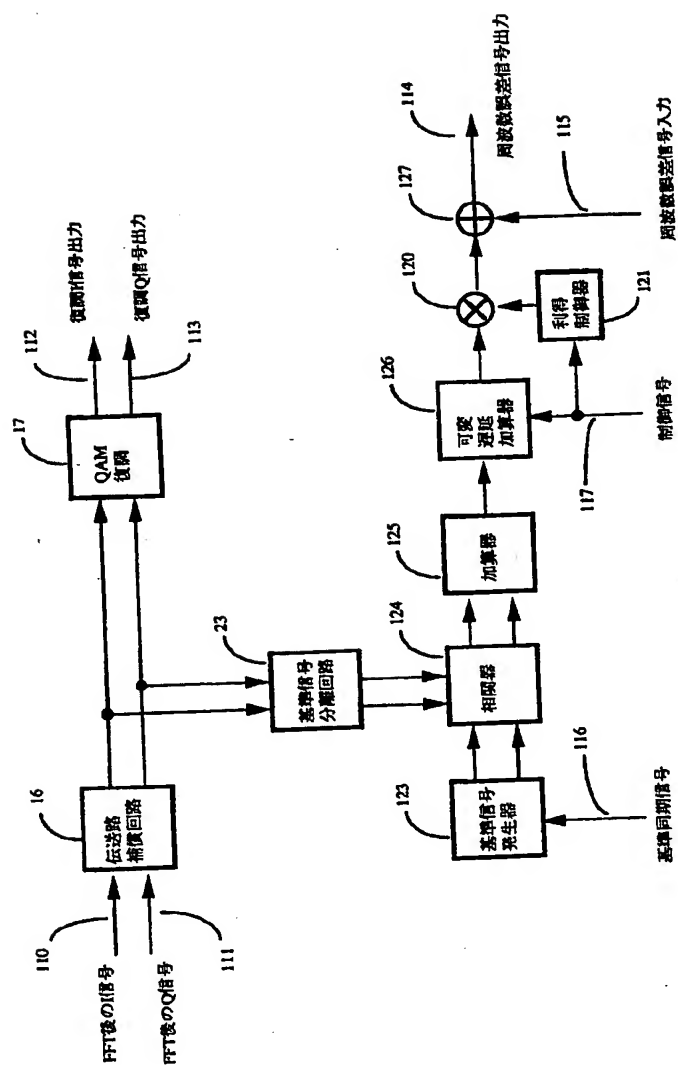
【図6】



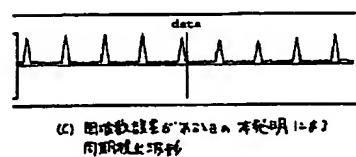
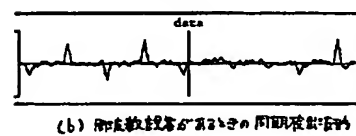
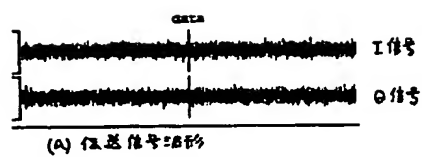
【図9】



【図7】



【図11】



【図12】

